

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232251

(43)公開日 平成9年(1997)9月5日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/28			H 01 L 21/28	G
21/3065			21/302	M
21/768			21/90	C

審査請求 有 請求項の数 6 O.L (全 6 頁)

(21)出願番号 特願平8-41164

(22)出願日 平成8年(1996)2月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 梶 英一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

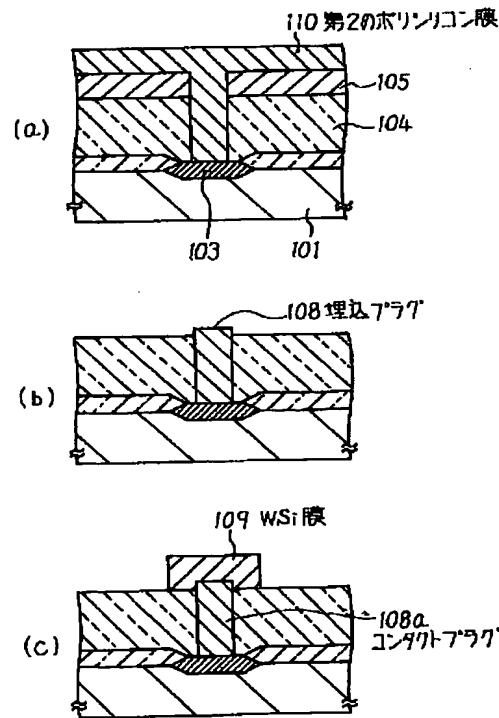
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 プラグロスのない半導体装置の製造方法を提供する。

【解決手段】 シリコン基板101に層間絶縁膜105、リンやAsをドーピングしたポリシリコン膜105を堆積し、コンタクトホールを形成し、ノンドープのポリシリコン膜110を形成し、SF<sub>6</sub>で全面エッティングを行なう。ポリシリコン膜105の方が速やかにエッティングされるのでコンタクトホールを十分に充填して埋込プラグを形成できる。ドーピングを行ってコンタクトプラグ108aとする。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜を被覆する第1の材料膜を堆積する工程と、前記第1の材料膜及び絶縁膜を貫いて前記半導体基板に達するコンタクトホールを形成する工程と、前記コンタクトホールを充填して前記第1の材料膜を被覆するこれと材質が異なり導電性の第2の材料膜を堆積する工程と、前記第2の材料膜より第1の材料膜を速かにエッチングできる手段により前記コンタクトホール部以外の部分から前記第2の材料膜及び第1の材料膜を除去して埋込プラグを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 第1の材料膜及び第2の材質膜がいずれもポリシリコン膜であり、前者には後者より高濃度にリン又はヒ素がドーピングされ、フッ素又は塩素ガスを含むガスを利用した反応性イオンエッチングによりエッチングを行ない、埋込プラグに不純物をドーピングして導電性を向上させる工程を含む請求項1記載の半導体装置の製造方法。

【請求項 3】 第1の材料膜がシリコン膜、第2の材料膜が $WSi_x$ 膜 ( $0 < x < 3$ ) であり、フッ素を含むガスを利用した反応性イオンエッチングによりエッチングを行なう請求項1記載の半導体装置の製造方法。

【請求項 4】 半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜と選択的にエッチング可能な導電性若くは不純物ドーピング及び又は熱処理により導電性となる第1の被膜を堆積した後第2の絶縁膜を形成する工程と、コンタクトホール形成予定部に前記第1の絶縁膜に達する開口を形成する工程と、前記開口側面に導電性若くは不純物ドーピング及び又は熱処理により導電性となるスペーサを形成する工程と、前記スペーサ及び第1の被膜と選択的に前記第2絶縁膜及び第1の絶縁膜をエッチングして前記半導体基板に達するコンタクトホールを形成する工程と、前記コンタクトホールを充填して前記スペーサの設けられた第1の被膜を被覆する導電性若くは不純物及び又は熱処理により導電性となる第2の膜を堆積する工程と、前記第2の被膜、スペーサ及び第1の被膜をエッチングして前記第1の絶縁膜を露出させることにより前記コンタクトホールを充填する埋込プラグを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 5】 第1の被膜、スペーサ及び第2の被膜がいずれもドープシリコン又は $WSi_y$  ( $0 \leq y < 3$ ) でなる請求項4記載の半導体装置の製造方法。

【請求項 6】 埋込プラグに接続される配線層を形成する工程を有する請求項1乃至5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方

法に関し、特にコンタクトプラグの形成方法に関する。

## 【0002】

【従来の技術】 近年、半導体装置では、高集積化が進むに従って縮小化されたコンタクトホールをコンタクトプラグで埋める手法が用いられている。このコンタクトプラグの形成方法について説明すると、図5(a)に示すように、まずシリコン基板301上に砒素などの不純物からなる $N^+$ 型拡散層領域303を選択的に形成し、その上に、図5(b)に示すように、酸化シリコン系の層間絶縁膜304を形成する。この層間絶縁膜304にホトリソグラフィー及びエッチング技術を用いて前記 $N$ 型拡散層が露出するようなコンタクトホール306を開口する。次に、図5(c)に示すように、ポリシリコン膜307をコンタクトホール306内及び層間絶縁膜304上に成長する。次にこのポリシリコン膜307のエッチングを行い、層間絶縁膜上のポリシリコン膜307を除去し、コンタクトホール306内にのみポリシリコン膜307が残るようすることにより、図5(d)に示すように、コンタクトプラグ308が形成される。しかる後に、リンをイオン注入にコンタクトプラグ308に導入し、さらに $WSi_x$ 膜309を堆積する。次にこの $WSi_x$ 膜309のバーニングを行い配線を形成することにより、コンタクトー配線を形成する。

## 【0003】

【発明が解決しようとする課題】 この従来の技術の第1の問題点はコンタクトプラグがコンタクトホールを完全に埋めることができずにプラグロスが発生するということである。その理由は、コンタクトプラグを形成するためのポリシリコン膜のエッチングのときに層間絶縁膜上にポリシリコン膜が残らないようにオーバーエッチングを行うためコンタクトホール内のシリコン膜がエッチングされてしまうからである。深さが浅いコンタクトホールでは基板までエッチングされる危険性さえある。

【0004】 第2の問題点はコンタクトプラグと接続する上部配線層の断線などの不良発生の危険性を持っているということである。その理由はプラグロスがある場合には、コンタクトプラグと接続する上部金属配線のカバーレッヂが不足するためである。

【0005】 本発明の目的は、プラグロス発生を防止できるコンタクトプラグの形成方法を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明第1の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜を被覆する第1の材料膜を堆積する工程と、前記第1の材料膜及び絶縁膜を貫いて前記半導体基板に達するコンタクトホールを形成する工程と、前記コンタクトホールを充填して前記第1の材料膜を被覆するこれと材質が異なり導電性の第2の材料膜を堆積する工程と、前記第2の材料膜より第1の材料膜を速かにエッ

チングできる手段により前記コンタクトホール部以外の部分から前記第2の材料膜及び第1の材料膜を除去して埋込プラグを形成する工程とを含むというものである。

【0007】ここで、第1の材料膜及び第2の材質膜をいずれもポリシリコン膜とし、前者には後者より高濃度にリン又はヒ素がドーピングされ、フッ素又は塩素ガスを含むガスを利用した反応性イオンエッティングによりエッティングを行なって埋込プラグを形成することができ、その場合にはこの埋込プラグに不純物をドーピングして導電性を向上させる工程を追加する。

【0008】あるいは、第1の材料膜をシリコン膜、第2の材料膜をWS<sub>x</sub>膜( $0 < x < 3$ )とし、フッ素を含むガスを利用した反応性イオンエッティングによりエッティングを行なって導電性の埋込プラグ(コンタクトプラグ)を形成してもよい。

【0009】本発明第2の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜と選択的にエッティング可能な導電性若くは不純物ドーピング及び又は熱処理により導電性となる第1の被膜を堆積した後第2の絶縁膜を形成する工程と、コンタクトホール形成予定部に前記第1の絶縁膜に達する開口を形成する工程と、前記開口側面に導電性若くは不純物ドーピング及び又は熱処理により導電性となるスペーサを形成する工程と、前記スペーサ及び第1の被膜と選択的に前記第2絶縁膜及び第1の絶縁膜をエッティングして前記半導体基板に達するコンタクトホールを形成する工程と、前記コンタクトホールを充填して前記スペーサの設けられた第1の被膜を被覆する導電性若くは不純物及び又は熱処理により導電性となる第2の膜を堆積する工程と、前記第2の被膜、スペーサ及び第1の被膜をエッティングして前記第1の絶縁膜を露出させることにより前記コンタクトホールを充填する埋込プラグを形成する工程とを含むというものである。

【0010】この場合、第1の導電膜、導電性スペーサ及び第2導電膜をいずれもドープシリコン又はWS<sub>x</sub>( $0 < x < 3$ )とすることができる。

【0011】以上の場合において、更に埋込プラグに接続される配線層を形成することができる。

【0012】第1の半導体装置の製造方法では、コンタクトホール部には第2の材料膜のみが形成され、絶縁膜上には第1の材料膜と第2の材料膜が積層されるので、絶縁膜上から第1の材料膜を除去し終ったとき、コンタクトホール部に残るエッティングの遅い第2の材料膜の高さが絶縁膜の表面より低くならないようにすることができる。

【0013】第2の半導体装置の製造方法では、コンタクトホールの周辺に第1の被膜の厚さより高いスペーサを設けることができ、かかる後第2の被膜でコンタクトホールを埋めるので第1の絶縁膜上から第1の導電膜を除去し終ったとき、コンタクトホール部に残る第2の導

電膜の高さが第1の絶縁膜の表面より低くならないようになることができる。

#### 【0014】

【発明の実施の形態】本発明の第1の実施の形態について図1、図2を参照して説明する。まず図1(a)に示すように、シリコン基板101上にフィールド酸化膜102を形成し、選択的にN<sup>+</sup>型拡散層103(ソース・ドレイン領域など)を形成し、その上に、図1(b)に示すように、層間絶縁膜104を形成するまでは従来例

10と同じである。次にこの層間絶縁膜104上に濃度10<sup>19</sup>cm<sup>-3</sup>以上のリン又はヒ素を含む第1のポリシリコン膜107を成長する。次にホトリソグラフィー技術を用いてホトレジスト膜パターン105を形成する。次にこのホトレジスト膜パターン105をマスクに第1のポリシリコン膜107及び層間絶縁膜104をエッティングして、図1(c)に示すように、N<sup>+</sup>型拡散層103が露出するようなコンタクトホール106(例えば0.3μm径、深さ1μm弱)を開口する。次にホトレジスト膜パターン105を除去する。次に、この基板上にコンタクトホール106を充填して図2(a)に示すように不純物ドーピングをしない第2のポリシリコン膜110を

20基板温度630°Cで減圧CVD法を用いて成長する。ここでこの第2のポリシリコン膜110の膜厚はコンタクトホール106の半径よりも厚くする。次にSF<sub>6</sub>を含むガスを利用した反応性イオンエッティングにより第1のポリシリコン膜107及び第2のポリシリコン膜110をエッティングする。SF<sub>6</sub>はリンを含むポリシリコン膜でエッティングが速く進むので第2のポリシリコン膜108よりも第1のポリシリコン膜107の方が速くエッティングされる。そのため、図2(b)と示すように、第2のポリシリコン膜108から成る埋込プラグ108をプラグロスが発生することなく形成することができる。この後リンイオン注入法を利用して埋込プラグ108の導電性を向上させることにより導電性の埋込プラグ、すなわちコンタクトプラグ108aとする。さらに、WS<sub>x</sub>膜(X≈2)109を堆積し、このWS<sub>x</sub>膜109のバーニングを行い配線層を形成することにより、コンタクト-配線構造を形成する(図2(c))。

【0015】なお、第1のポリシリコン膜の代りにアモルファスシリコン膜(不純物をドーピングしてもよいしノンドープでもよい)をCVD法で形成してもよいし第2のポリシリコン膜の代りにWS<sub>x</sub>( $0 < x < 3$ )を使用することができる。又、シリコンのエッティングガスとしては、SF<sub>6</sub>ガスばかりでなくCl<sub>2</sub>などの塩素ガスを含むガスを利用した反応性イオンエッティングを使用できる。アモルファスシリコン膜は、成膜後、エッティング前又は後のしかるべき時期に、600~800°Cの熱処理によりポリシリコン膜に変換すればよく、この熱処理はBPSG膜などの層間絶縁膜の堆積・リフロー工程

30で兼ねさせることも可能である。

【0016】次に、本発明の第2の実施の形態について説明する。本実施の形態では、図3(a)に示すように、第1のシリコン膜207上に酸化シリコン膜211を成長し、ホトレジスト膜パターン212を形成し、図3(b)に示すように、このN型にドーピングされた第1のシリコン膜207及び酸化シリコン膜211にコンタクトホール形成予定部に開口213を形成する。この後、N型にドーピングされたシリコン膜214をこの開口213が埋まらない厚さで成長する。しかる後異方性エッティングを行い、図3(c)に示すように、シリコン膜214からなるスペーサ215を形成する。次に第1のシリコン膜207と導電性スペーサ215をマスクにコンタクトエッティングを行い、図4(a)に示すように、コンタクトホール206を開口する。このエッティングはドープトシリコンに対して酸化シリコン系絶縁膜を選択的に除去できるCF<sub>4</sub>等を利用する反応性イオンエッティングである。この後、図4(b)に示すように、N型にドーピングされた第2のシリコン膜216を成長し全面エッティングを行い、図4(c)に示すように、コンタクトプラグ208を形成する。スペーサがある分コンタクトホールとその周辺でシリコン膜の表面が高くなっているので、層間絶縁膜204の表面が露出されたとき、その表面よりコンタクトプラグ208(埋込プラグ)が低くならない(プラグロスがない)ようにすることができます。また、コンタクトプラグ208の上部にスペーサ217が残るようにすることができます。次に、図4(d)に示すように、WSi<sub>x</sub>膜209となる配線層を形成する。リソグラフィー上の制限より、スペーサのある分、小さなコンタクトホールを形成できるという微細加工上の利点がある。シリコン膜207, 214, 216はポリシリコン膜又はアモルファスシリコン膜(CVD法で形成)のいずれでもよい。更には、WSi<sub>y</sub>(0≤y<3, 例えばy=2)など、コンタクトプラグに通常使用される導電部材なら何でもよい。アモルファスシリコン膜は、熱処理によりポリシリコン膜に変換することは前述と同様である。

## 【0017】

【発明の効果】以上説明したように、半導体基板上に絶縁膜を形成し第1の材料膜を堆積してコンタクトホールを形成したのち第1の材料膜よりエッティング速度の小さい第2の材料膜を堆積し、全面エッティングを行なうかも

しくは半導体基板上に第1の絶縁膜を形成し第1の被膜を堆積し第2の絶縁膜を堆積したのち第1の絶縁膜に達する開口を形成し、開口側面にスペーサを形成した後コンタクトホールを形成し第2の被膜を形成し全面エッティングを行なうことにより、プラグロスのないコンタクトプラグを形成できるので、プラグロスによる上層の配線層の断線を防止できる。従って半導体装置の歩留りや信頼性の向上がもたらされる。

## 【図面の簡単な説明】

10 【図1】本発明の第1の実施の形態について説明するための(a)～(c)に分図して示す工程順断面図である。

【図2】図1に続いて(a)～(c)に分図して示す工程順断面図である。

【図3】本発明の第2の実施の形態について説明するための(a)～(c)に分図して示す工程順断面図である。

【図4】図3に続いて(a)～(d)に分図して示す工程順断面図である。

20 【図5】従来例について説明するための(a)～(e)に分図して示す工程順断面図である。

## 【符号の説明】

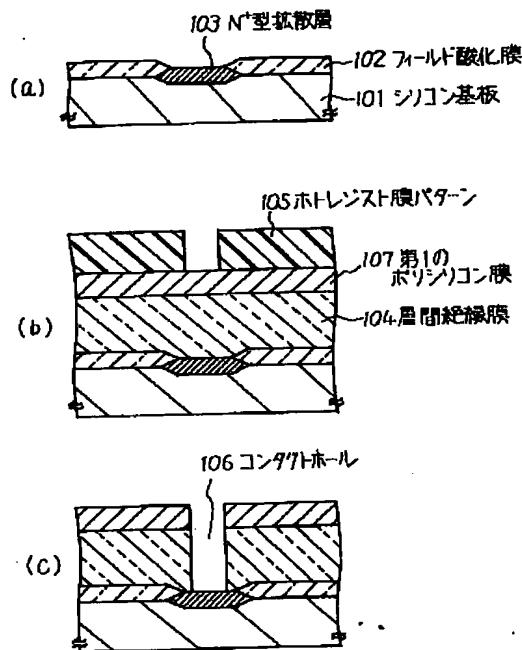
101, 201, 301	シリコン基板
102, 202, 302	フィールド酸化膜
103, 203, 303	N <sup>+</sup> 型拡散層
104, 204, 304	層間絶縁膜
105, 305	ホトレジスト膜パターン
106, 206, 306	コンタクトホール
107, 307	ポリシリコン膜

30 108 埋込プラグ  
108a, 208, 308 コンタクトプラグ  
109, 209, 309 WSi<sub>x</sub>膜

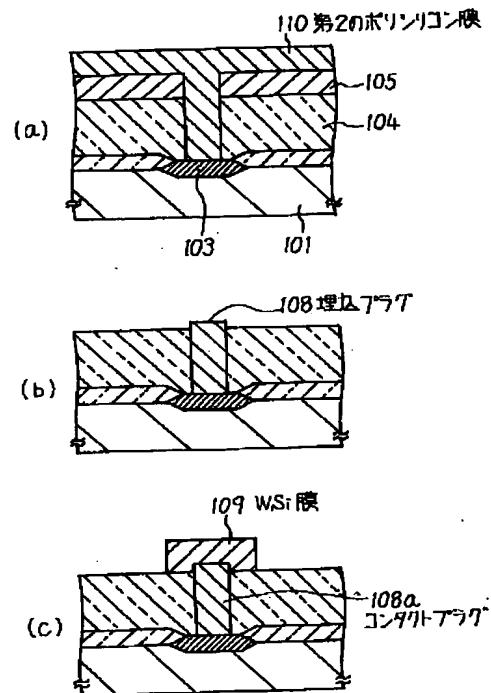
110	ポリシリコン膜
211	酸化シリコン膜
212	ホトレジストパターン
213	開口
214	シリコン膜
215	スペーサ
216	ポリシリコン膜

40 217 スペーサ

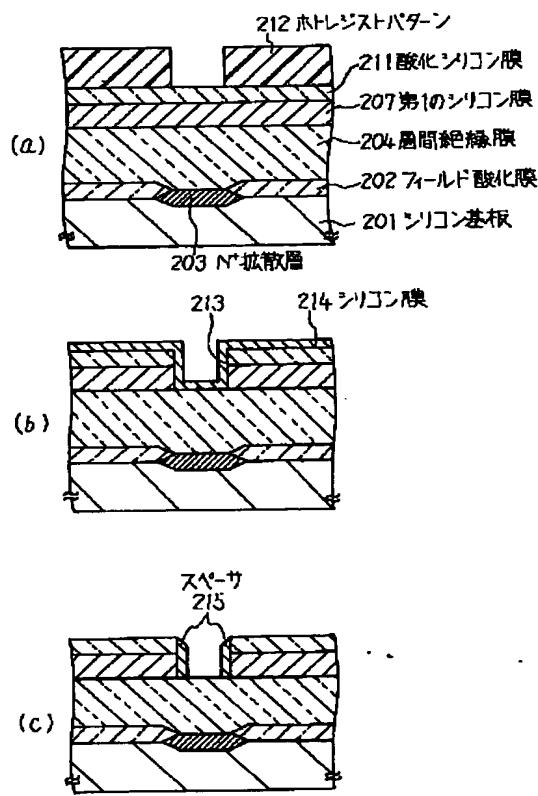
【図1】



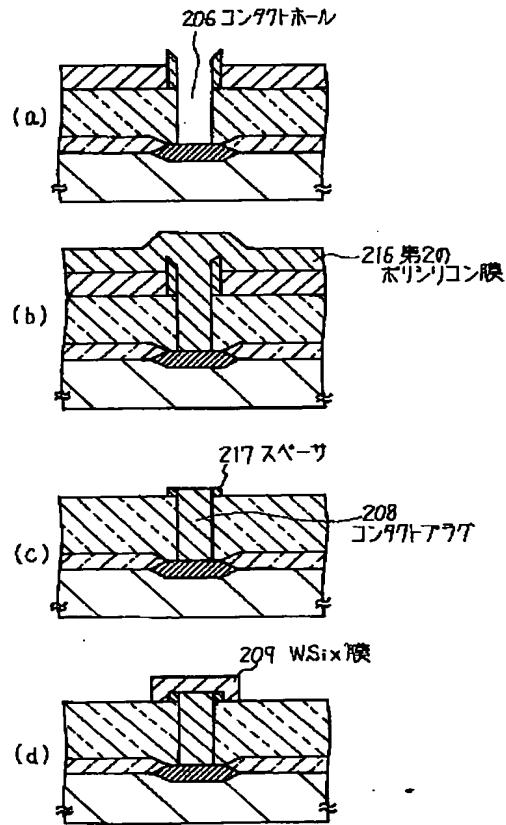
【図2】



【図3】



【図4】



【図 5】

